

SEMICONDUCTOR MEMORY DEVICE AND DEFECTIVE-MEMORY-CELL RELIEF CIRCUIT

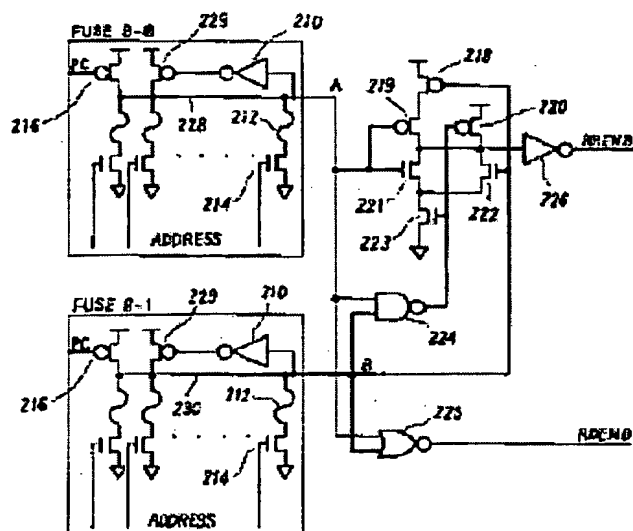
Patent number: JP7093990
Publication date: 1995-04-07
Inventor: SUKEGAWA SHUNICHI; others: 01
Applicant: TEXAS INSTR JAPAN LTD; others: 01
Classification:
- international: G11C29/00; H01L21/82; H01L21/8242; H01L27/108
- european:
Application number: JP19920207333 19920710
Priority number(s):

[View INPADOC patent family](#)

Abstract of JP7093990

PURPOSE: To output a redundant-address coincidence signal stably and at high speed and to reduce an area occupied by a chip by a method wherein a redundant-address detection circuit and an redundant-address decoder which is provided with a redundant-address coincidence and noncoincidence signal generation function are installed.

CONSTITUTION: Fuse decoders inside redundant-address decoders which are connected in common to a signal for an inverter generate a coincidence signal by judging that FUSES 0-0, 0-1 are contents of a programmed address and of an address bus, or they judge that both are not coincident. An address- coincidence-signal generation circuit is composed of transistors 219 to 223 and of an inverter 226, and an address-noncoincidence-signal generation circuit is composed of a NAND logic gate 225. When an address coincidence signal RREN0 judges that both fuse decoders 0-0, 0-1 noncoincident by responding to an address signal input, its logic state is shifted from a high level to a low level. When any one of the fuse decoders generates a coincidence signal, the logic state is not changed.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93990

(43) 公開日 平成7年(1995)4月7日

(51) IntCl. ⁶	識別記号	弁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1 B	6866-5L		
H 0 1 L 21/82				
21/8242				
	8122-4M	H 0 1 L 21/ 82	R	
	7210-4M	27/ 10	3 2 5 T	
	審査請求 未請求 請求項の数 2	FD (全 19 頁)	最終頁に続く	

(21) 出願番号 特願平4-207333

(22) 出願日 平成4年(1992)7月10日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 助川 俊一

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 佐伯 哲也

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

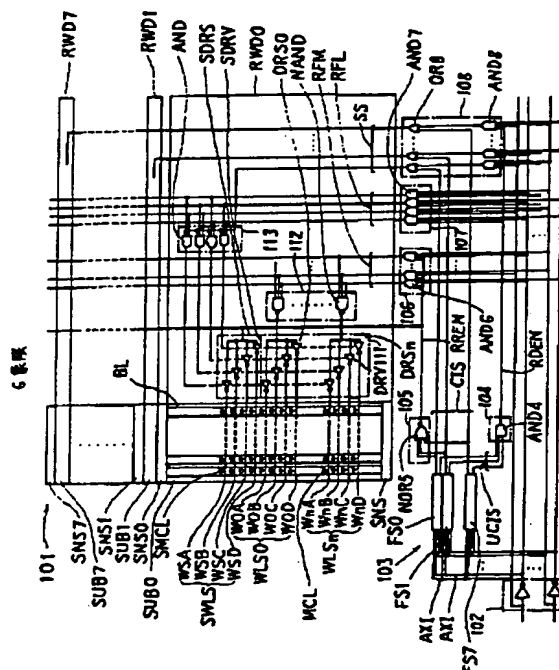
(74) 代理人 弁理士 佐々木 聖孝

(54) 【発明の名称】 半導体メモリ装置及び欠陥メモリセル救済回路

(57) 【要約】

【目的】 ビット不良の欠陥メモリの冗長度を高め、冗長アドレスデコーダのチップ占有面積を最小にし、よって廉価な半導体メモリ装置を提供する。

【構成】 アドレスバスに共通接続され、相互に異なるアドレスをプログラムされた複数のフェーズデコーダを設け、両デコーダ出力の一致若しくは不一致を検地して冗長アドレス一致信号を発生させる冗長アドレスデコーダを設け、ビット不良の欠陥メモリを効率よく救済する。



【特許請求の範囲】

【請求項1】 行及び列のメモリアドレス信号を受け所定のメモリセルにアクセスし、且つ不良メモリセルを置換させる冗長機構を有する半導体メモリ装置であって、アドレスバス、冗長メモリアレイ、メモリアレイ、メモリアレイ選択手段、行又は列線選択手段、冗長アドレス一致信号発生手段、プログラム可能なフューズデコーダを含む上記冗長機構と、選択されたメモリアレイ群の一方の行又は列アドレスにプログラムされる第1のフューズデコーダ段、選択されたメモリアレイ群の他方の行又は列アドレスにプログラムされる第2のフューズデコーダ段、該第1と第2のフューズデコーダ段に接続される冗長アドレス検知手段及び該冗長アドレス検知手段の出力にตอบสนองして上記メモリアレイ選択手段を無効にすると共に、上記冗長メモリアレイ選択手段を有効にする上記冗長アドレス一致信号発生手段と、を含む上記半導体メモリ装置。

【請求項2】 行及び列のメモリアドレス信号を受け所定のメモリセルにアクセスする半導体メモリ装置の不良メモリセルを置換させる冗長機構を起動させる方法であって、

(a) 外部アドレスを受けてプログラムされた冗長アドレスを検知してアドレス一致信号を出力し、

(b) 該外部アドレスを受けてプログラムされた冗長アドレスでないことを検知してアドレス不一致信号を出力し、

(c) 上記アドレス一致信号と不一致信号の排他的論理和演算結果の論理信号にตอบสนองして冗長行グループを付勢すると共に不良行グループを無効とし、

(d) 該外部アドレスにตอบสนองして選択された上記冗長行グループ内の1つの行線を付勢すると共に他の行線を無効とする、ことを含む前記冗長機構を起動する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路に関し、より詳細には半導体基板内に形成された集積回路デバイス、例えばダイナミックランダムアクセスメモリ等のメモリデバイスに関する。

【0002】

【従来の技術】 ダイナミックランダムアクセスメモリ(DRAM)型の大規模集積回路半導体装置の発展はよく知られている。例えば、ラオの米国特許第4、055、444号に示されている16KDRAMからマケルロイの米国特許第4、658、377号に示されている1MDRAMへ、更に4M及び16MDRAMへと長年にわたって発展してきている。単一メモリチップ上に6千4百万個以上のメモリセル及びその周辺回路が集積されている64MDRAMは現在試作段階にあり次世代DRAMとして量産が予定されている。現在64MDRAM型の超大規模集積回路(ULSI)半導体メモリデバ

イスの設計において、設計者は様々な問題に直面している。例えば、一つの関心事はメモリセルの欠陥を無くすることである。クオの米国特許第4、240、092号に開示されているプレーナコンデンサセル及びバグリ等の米国特許第4、721、987号に開示されているトレンチコンデンサセルのように、超大規模DRAMの開発はメモリセルジオメトリの低減により促進されてきたが、64MDRAM以上の高集積を達成するには極端に小さなジオメトリを具体的にはサブマイクロン(百万分の1メートル以下)技術を使用して製造する為に、将来的な縮小寸法は従来製造工程において問題とならなかった粒子が回路の欠陥や不良デバイスが増大する原因となるに至った。

【0003】 図1について説明すると、64MDRAMと呼ぶ64メガビットダイナミックランダムアクセスメモリチップを示す。このチップは8メガビットに8等分されたメモリ象限に仕切られている。この8等分メモリ象限は各々8個の1Mビットメモリブロックを含んでいる。各メモリブロックは512Kビットに2分割された構成である。列デコーダ(C. dec)が、チップを上からみて縦方向に延びる軸線に沿って各メモリ象限の中央に配置されている。行デコーダ(R. dec)が、それらに対応するメモリ象限に隣接するチップの横方向に延びる軸線に沿って配置されている。入出力バッファ(A. buffer, I/O buffer)やタイミング発生回路(S. R. timer, Row clock,)及び制御回路(Row red.)のような装置を含む周辺回路がチップの水平軸及び垂直軸の両方向に沿って中央部に位置している。更に、ボンドパッドがチップの垂直軸に沿って中央に位置している。

【0004】 図2は、合計75個のボンドパッドの名称を×1及び×4のオプションに対する両方の選択可能なチップを示すものである。外部リード端子がこれらボンドパッドの近傍まで延長されて配置される。また、公知のチップ・オン・リード構造を採用すれば、中心に配置されたバスバーにより電源VDD及びVSSを複数箇所に設けられた電源用ボンドパッドに金線等で接続するので、チップ全体に均一な電位を供給することができる。更に、複数のアドレス信号のボンドパッドは相互に隣接した配置がデコーダの機能上有利である。しかし、ボンドパッド53のアドレス信号A12とボンドパッド69のA6は大きく離間しているためこのアドレス信号がデコーダ回路に到達する時間は0.8ns程度遅延することが知られている。このような遅延は、デコーダのタイミング調整に重大な影響を及ぼしている。なお、これらボンドパッドに各々接続される28ピンの外部端子の配列を図3に示す。全部で28個の端子に対してボンドパッドが75個設けられるのは上述した複数の電源用ボンドパッドが設けられることと、更に多くのピン数のパッケージ、すなわち64ピン等のSOJパッケージに対応

3

するようにこれらボンダパッドは考慮されている。図1に示すチップの歩留を改善するためさらに厳しい微細加工を施したり、チップ開発の初期段階に必要であった回路を量産が進んで従って不用となった場合、例えば、冗長メモリの数を低減することや周辺のボンパ回路を取り除く等の改良版に置き換える場合に、ボンダパッドが中央に集中配置されているので、リードフレームの再設計を不用にしていることは開発費用の点でも有利である。なお、図1には、理解し易いようにボンダパッドを省略して示しているが、実際は、図2に示すように多くのボンダパッドが存在する。

【0005】冗長メモリアドレスの一致回路に関して、メモリセルの一部に欠陥を有する場合、メモリセルの大部分が正常に機能するものであってもデバイス全体として価値のないものと判断される。複数のチップが切断される前の半導体スライスの状態でマルチプローブの結果不良品として判断されたチップは他の良品チップと識別され後に廃棄される。またデバイスの組立工程後の電気的検査の際、不良と判断されれば同様に廃棄処分する。従って、欠陥を含むメモリ又は欠陥に関するメモリを冗長回路と呼ばれる別のメモリセルによって置換する必要がある。マルチプローブ試験の結果欠陥メモリが検出されると、そのメモリに対応するアドレスが記録され、その不具合セルを含むメモリが使用される前に冗長メモリセルに補完させる機構が、フューズを溶断することによって実現される。冗長メモリの使用又は欠陥メモリのアドレスの一致信号を発生させることは、デバイス全体の性能を確定することに関して極めて重要である。即ち、通常のメモリをアクセスする時に比して置換された冗長メモリをアクセスする時の方が速度の点で劣化するとデバイスの性能はこの劣化した仕様により確定するためである。また、冗長メモリを使用することによって余分な電力消費が発生する場合もデバイスの性能を低下させることとなる。従って、冗長回路の構成、特にアドレス一致信号発生回路は、DRAMの一体的部分を形成し、且つそれが使用されるこれらの装置及びシステムの実質的な仕様を決定できる。

【0006】図4は、従来のアドレス一致回路を示す。この一致回路は、複数のトランジスタから選択されたトランジスタとトランジスタ間の共通節点との間の経路内に存在する。所定のアドレスビットに対応する部分のフューズが切断されるようにレーザ若しくは高電圧を与え溶断することは公知の技術である。インバータ8の出力は冗長メモリ行の起動に関して信号を送出するのに用いられる。プルアップPチャンネルトランジスタ3のゲートはインバータ5の出力に接続され、このインバータ5の入力は複数のフューズ4及びインバータ8の入力に接続されている。Pチャンネルトランジスタ3は複数のフューズ4が共通接続された節点の電位をVDDレベルに維持する駆動能力があれば足り、したがって小規模の面

4

積で作り込まれる。図4の左半分に示す論理回路7は、入力アドレスユニット信号A₀からA₁₁を受けてアドレスファクタF₀ないしF₂₃を出力するものである。これらのアドレスファクタは破線6で囲まれたインバータに入力される。ここで示した回路は、一般に回路面積において小規模に構成することができるが、反面アドレス信号の到達時間のばらつきを調整するため、デコード回路から一番遠いアドレス信号A₁₂、A₁₃を取り込んだタイミングで一致信号を発生させなければならない。従って、動作速度は比較的遅いものである。

【0007】図5は、従来の16MDRAMに使用することができるアドレス一致回路である。アドレスユニット信号の期待値「1」を出力させる回路はフューズ164を溶断することにより行われる。電界効果トランジスタ166が電界効果トランジスタ168、170及び172に接続されている構成である。更に、これらのフューズ回路は、フューズ164に接続されたインバータ162を含む。トランジスタ172は1端子にアドレスユニット信号を受け、一方トランジスタ170は1端子にそのアドレスユニット信号の補信号を受ける。トランジスタ170及び172は一般に図5に示されている他のトランジスタよりも低いスレッショルド電圧で動作する。選択されたアドレスに対応する冗長メモリセルを起動するために、トランジスタ172に送られる信号に対応する選択されたアドレスビットが論理「1」即ち高論理レベルにある時にフューズは溶断される。しかし、トランジスタ172へ送られる信号に対応するアドレスビットが論理「0」即ち低論理レベルにある時はフューズは溶断されずそのまま存在する。フューズ164が溶断されない時はトランジスタ170のゲートは付勢されてトランジスタ170の端子上のA₀信号はアドレスファクタへ転送される。一方、フューズ164が溶断された時は、トランジスタ172のゲートが付勢されて、A信号がアドレスファクタへ転送される。トランジスタ166のゲートが始動パルスを受けた後は、アドレスファクタRA₀ないしRA₁₁として信号が発生し、これらは各々対応するインバータ6の入力に接続される。冗長メモリセルを起動されるためには、アドレスファクタRA₀ないしRA₁₁はすべて論理「0」レベルにあり、インバータ8の出力に低論理レベル信号が発生することが必要である。ここでは、アドレスユニット信号を調整する回路内のフューズ164を溶断することでプログラムをすることができる。また、この回路は、アドレスユニット信号を前段で調整するため回路がアドレスビットに対応して設けのでチップ面積が大規模になる。トランジスタ170、172が始動パルスによりゲーティングされ全アドレスユニット信号を同時にインバータ6へ入力できる。したがって、厳しいタイミングの調整は不要となり高速動作に適している。

【0008】本発明の他の目的、利点及び特徴は当業者

5

にとって、例として取り上げた本発明の実施例についての図面を参照した以下の詳細な説明から明かとなるであろう。

【0009】

【発明が解決しようとする課題】以上のアドレス冗長一致回路の構成において主要な課題は、冗長アドレス一致信号を安定かつ高速に出力する回路を小規模チップ面積で構成し、1組の冗長アドレス行群を有効に利用し得るアドレス冗長一致回路が要求される。

【0010】

【課題を解決するための手段】本発明の冗長アドレス一致信号発生回路の構成は、1のビット不良を救済するフューズデコーダと他のビット不良を救済するフューズデコーダを複数個含む冗長アドレス検知回路と、これら冗長アドレス検知回路の出力にตอบสนองして冗長アドレス一致信号を発生させる機能を有する。

【0011】

【作用】上記のように構成された冗長アドレス一致信号発生回路を起動すると、複数の冗長アドレスデコーダを有する冗長アドレス検知回路の出力と他の冗長アドレス検知回路の出力とを受け冗長アドレス一致信号を発生させるため、回路面積を低減できると共に高速な冗長アドレス一致信号の生成ができる。

【0012】

【実施例】本発明の一実施例において、メモリデバイスは、行列配列されたメモリセルを有し且つ欠陥行群を置換するメモリセルの冗長行群を有する複数のメモリアレイと、メモリセルから情報を読み出してメモリセルへ情報を書き込むサポート回路を具備し、サポート回路はメモリセルの欠陥行群アドレスにตอบสนองしてメモリセルの欠陥行群を有するメモリアレイ内のみのメモリセルの冗長行を選択する冗長回路を含んでいる。好ましくは、行冗長回路は欠陥アドレスを保持するようにプログラム可能な且つメモリセルの欠陥行を含むメモリアレイを識別する情報を保持するようにフューズ溶断によるプログラム可能な2段冗長デコーダを含んでいる。

【0013】本発明の別の実施例において、単一半導体基板上に集積されたメモリ装置は行列に配列されたメモリセル及び欠陥列群と置換されるメモリセルの冗長列群を有する複数のメモリアレイと、メモリセルの欠陥列群のアドレスにตอบสนองしてメモリセルの欠陥列を有するメモリアレイ内のみのメモリセルの冗長列群を選択する列冗長回路を具備していることである。好ましくは、列冗長回路は欠陥アドレスを保持するようにプログラム可能で且つメモリセルの欠陥列を含むメモリアレイを識別する冗長列を識別する情報を保持するようにプログラム可能な2段プログラム可能列冗長デコーダを含んでいる。メモリデバイスは、欠陥行のアドレスを保持し、行アドレスを受信して冗長行デコード信号及び冗長行ファクタ信号を発生するようにプログラム可能な第1の冗長デコー

6

ダと、欠陥行を含むアレイの位置を保持し、冗長行デコード信号を受信し且つアレイ選択信号を発生するようにプログラム可能な第2の冗長デコーダと、第2の冗長デコーダの冗長行ファクタ付勢信号、第2の冗長デコーダのアレイ選択信号及びメモリセルの冗長行に接続されメモリセルの欠陥行を有するメモリアレイ内のメモリセルの選択された冗長行を付勢する信号を発生する冗長付勢回路を含むとである。

【0014】本発明に従ったメモリデバイスは行冗長回路及び列冗長回路を含み請求項に記載されたメモリデバイスを含むことができる。

【0015】本発明の更にもう一つの実施例において、複数のメモリアレイを有する半導体メモリデバイス内の欠陥メモリセルを修理する方法は、欠陥メモリセルのアドレスにより第1の回路をプログラミングし、欠陥メモリセルを有するメモリアレイの位置により第2の回路をプログラミングし、欠陥メモリセルのアドレスを受信する欠陥メモリセルを有するメモリアレイ内の冗長メモリセルを選択する、段階からなっている。好ましくは冗長行メモリセルである。あるいは、欠陥メモリセルは欠陥列セルであり、冗長メモリセルは冗長列セルである。

【0016】本発明の一部として、代表的な半導体メモリデバイス用2段デコーディング回路を開示する。冗長行デコーダは欠陥行のアドレスを保持するようにプログラム可能であって、行アドレスを受信し、冗長行デコード信号及び冗長行ファクタ付勢信号を発生する第1の冗長デコーダを有する2段デコーダである。第2の冗長デコーダは冗長行デコード信号を受信しメモリアレイを選択する信号を出力するメモリセルの冗長行に接続され冗長行ファクタ付勢信号及びアレイ選択信号にตอบสนองする第3の許容段を付加することによりメモリセルの欠陥行を含むメモリアレイのメモリセルの選択された冗長行を付勢することができる。冗長列デコーダは欠陥列のアドレスを保持するようにプログラムすることができる。それらは列アドレスを受信して冗長列デコード信号及び冗長列ファクタ付勢信号を発生する。第2の冗長列デコーダは欠陥列を含むアレイの位置を保持するようにプログラムすることができる。それは冗長列デコード信号を受信して列ファクタ付勢信号及びアレイ選択信号にตอบสนองする第3の許容段を付加することによりメモリセルの欠陥列を含むメモリセルの選定された冗長列を付勢することができる。デコーディング回路は修理を必要とするメモリ部分を識別して、利用可能なメモリセルをより効率的に使用する。ここで、本発明の実施例の1つとしてメモリチップについて説明する。

【0017】図6は、64MDRAMの欠陥メモリセル202を補償するための冗長機構を示す。これは行アドレスに関する欠陥メモリを正常動作する冗長メモリ204に置換することにより行われる。チップの中央に配置されたアドレスバス206に共通接続された32個のフ

7

ューズデコーダ208はチップ中央に配置される。これは余分なアドレスバス線の引き回しを伴わない。即ち、全任意 (ANY TO ANY) の冗長機構を使用した場合、最も離れた位置のメモリ象限、例えば第1と第5象限の冗長メモリを冗長メモリとして使用した場合に、冗長付勢ライン及び冗長選択ラインは最短の距離で足りる。従って、チップ面積を有効に利用できること、最短の冗長付勢ライン及び冗長選択ラインで足りるためタイミングの遅延も短くできデバイスをアクセスする時間を短縮することができる。一方、フューズデコーダ208をチップの中央でなくチップの外周に沿って周辺に置いた場合には共通に使用する冗長付勢ライン、冗長選択ライン及びアドレスバスの引き回しが困難であり無駄な面積を消費することとなる。512Kビットのメモリブロック304に対して4本 (図面では2本に省略している。) の冗長行306を有している。これらの4本の行線は同時に使用することができる。冗長行あたり32個のデコーダを任意にプログラムすることができ、冗長行デコーダ当たり13ビットの行アドレスを有する。行冗長プログラムのためにフューズF0からF11 (図36、参照) が使用されており、単一の修理について最大12個のフューズが溶断される。行冗長は、歩留を効率よく行うために全任意 (ANY TO ANY) のプログラム可能な方式を使用している。この全任意の冗長機能を使用することで、1つの象限に存在する64個の冗長行をその象限を含む全象限に選択的に割り当てることができる。従って、特定のメモリブロック専用に冗長メモリを設ける固定方式又は半固定 (FLEXIBLE FUSE DECODER) 方式の約6倍に冗長度を増大させることができる。また、メモリ象限に対してプリデコーダ308を各象限内のメモリブロックに対してMS信号312をメモリの行アドレスに対してフューズデコーダ208を各々プログラムすることでフューズF0からF11の数及びデコーダ208の数を最適化することができる。なお、図6は行アドレスに対する冗長機能を開示しているが、同様な構成で列アドレスに対しても冗長機能プログラムすることも可能である。また、冗長行を使用するか否かを迅速に判断できるように2段階のプログラム可能なプリデコーダ308とフューズデコーダ208により2段階デコードを行っている。行冗長機能の比較を次の表1に示す。

【0018】

【表1】図7は、横軸に同一面積内の欠陥メモリ数を縦軸に冗長度を示したAからE迄のモデルの関係を示す。破線で示すAは64MDRAMのモデル、実線のBとEは64MDRAMの他のモデルを示す。各々メモリセルの面積は同一であるが、象限、ワード構成及びビット線の配置の関係で冗長度が異なる。また、CとDは16MDRAM等に使用し得る冗長構成である。なお、全ての冗長度の計算は同一単位面積当りの欠陥数に基づいて行

8

われたものである。ここに、全任意方式は半導体デバイスの習熟曲線に基づく成熟期の目安となる歩留80%を超える段階が従来の約4倍の欠陥メモリを許容できることに注意すべきである。即ち、従来の冗長不可能な欠陥数の4倍の欠陥メモリセルを含む不具合デバイスは、全任意方式を使用することで20%のチップを廃棄処分することで足り残りは組立、電気的出荷試験を経て完成品とすることができる。

【0019】図8は、図6の冗長機構の6象限メモリと隣接する冗長メモリデコーダ回路の関係を示す。インバータ102はアドレスバス206に接続されてその真/補の出力信号を発生させる。図6に示すフューズデコーダ回路208は、この真/補の出力信号に接続されアドレスバス信号と冗長メモリアドレスとの一致の是非を判断する。フューズデコーダ103のFS0からFS7は、ここで示されている6象限内のメモリアドレス若しくは他のメモリ象限のメモリアドレスをプログラムすることができる。正規のメモリ行群DRS0からDRSnは各々4本の行線で構成されている。図6に示すプリデコーダ308は、「AND」論理回路106、107及び108で構成することができる。これら「AND」論理回路は、インバータ102の真/補の出力信号を受けて所定のメモリ行群を選択することができる。すなわち論理回路106は行線4本からなるメモリ行群WLS0からWLSnの中の1つを選択する。論理回路107は、各メモリブロック内の全行群に対応する1つの行を活性化させる。論理回路108は、複数のメモリブロックの中の1つのメモリブロックを選択することができる。一方、冗長メモリ行群SDRSの選択はフューズデコーダFS0からFS7の出力信号を「NOR5」論理105で受けて出力信号RREN_を出力する。出力信号RREN_が低論理のとき、冗長行群SDRSを活性化すると共に、論理回路106を無効にして通常のメモリ行群を非活性にする。逆に、出力信号RREN_が高論理のときは、冗長行群SDRSでなく通常のメモリ行群WLS0若しくはWLSnの1つを活性化すると共に、冗長メモリ行群を無効とする。ここで、論理回路107はインバータ102の出力信号の一部のビット信号をデコードして所定のメモリブロック内のAからDに関連するインバータ (論理回路113の出力をステアリングクロックとして「NAND」ゲートで構成してもよい。) を活性化させ特定の行を選択することができる。従って、フューズデコーダFS0からFS7は同一象限内に存在する冗長メモリ群を活性化させ、下位アドレスビットで特定の行線を選択するようにプログラムすることができる。但し、通常のメモリブロックの不良A行線を冗長行群内のA行線に置換させた後に、同一冗長行群は更に他の不良A行線を置換できない。この場合はRREN_信号線に関連する他の冗長メモリ行群のA行線を使用するれば足りる。全メモリ行群はAからD迄の4本

9

の行線を含んでいるので、不良メモリ行線を記憶して、同種の行線を同一の冗長行群に含ませないようにプログラムすることが冗長度を向上させる点で有効である。更に、1組の冗長行群を活性化させる冗長アドレス一致信号 $RREN_$ は、早期に通常のメモリセル群を冗長メモリセル群に切り換えるので、行線短絡不良に対して有利となる。よって、行短絡不良を救済するために論理回路107に接続されない冗長行群を設けることにより1組の冗長行線を同時に置換するように冗長機構を構成することもできる。

【0020】図8の冗長機構を起動するために図9のフューズデコーダを使用する冗長機構起動方法は、外部アドレスを受けてインバータ102が各アドレスビットの真・補信号を提供して、FUSE0-0のフューズ212を溶断することによりプログラムされた冗長アドレスを検知してアドレス一致信号Aを出力し、また同一の冗長アドレスデコーダFS0内の他のフューズデコーダFUSE0-1はこの外部アドレスを受けてプログラムされた冗長アドレスでないことを検知してアドレス不一致信号B即ち低論理を出力し、これらアドレス一致信号Aと不一致信号Bとの排他的論理和演算結果の論理信号 $RREN0$ を出力することにより、冗長行グループ $SWLS$ を付勢すると共に不良行グループ $WS0$ を無効とし、更にこの外部アドレスに回答して選択された上記冗長行グループ $SWLS$ 内の1つの行線、例えば、 WSA を付勢すると共に他の行線 WSB , WSC , WSD を無効とすることにより冗長機構を起動することができる。これは、ビット不良に対して特に有効に機能し、更に1つの冗長アドレスデコーダFS0は、冗長行グループ $SWLS$ 内のA, B, C, Dを各々1回選択することができるので、無駄な冗長行を残すことなく有効に不良行線と置換させることができる。但し、1つの冗長アドレスデコーダ内の複数のフューズデコーダは同一の行線に関するアドレスをプログラムすることができない。例えば、A行線を選択するアドレスを同一の冗長アドレスデコーダ内の2以上のフューズデコーダにプログラムすると、冗長起動信号は正確に出力できないためである。

【0021】図9は、フューズデコーダFS0の構成を示す。フューズデコーダFS0若しくはFS7は、各々複数のアドレスバス信号に対して冗長メモリ行線と通常のメモリ行線を置換させることができる。例えば、フューズデコーダFS0は複数のフューズデコーダを有することができる。インバータ102の信号に共通接続されたフューズデコーダFS0は、フューズ0-0がプログラムされたアドレスとアドレスバスの内容とを判断して一致信号を発生する又は、フューズ0-1がプログラムされたアドレスとアドレスバスとの内容とを判断して一致信号を発生する若しくは、両者がアドレスバスの内容と不一致と判断するか3状態を有する。従って、両者に別々のアドレスをプログラムすれば、共に一致信号を

10

生することはない。フューズデコーダ0-0は、冗長機構起動信号PCが活性化されトランジスタ216が「オン」になると共通節点228はプリチャージされる。アドレス信号に回答してトランジスタ214が導通するとき、このトランジスタ214に接続されたフューズ212が溶断によりプログラムされていれば共通接続節点228の電位は放電されず、インバータ210を通してブルアップトランジスタ229により高レベルに留まるので出力A点は高レベルとなる。逆に、プログラムされず溶断されていない場合は共通接続接点228は放電されA点に低レベルの信号を出力する。フューズデコーダ0-1もプログラム可能であり同様な動作をする。アドレスの一致信号発生回路はトランジスタ218, 219, 220, 221, 222及び223とインバータ226から成り、アドレスの不一致信号発生回路は「NAND」論理ゲート225で構成することができる。従って、一致信号は1組の冗長アドレス行群を選択し通常の1組の行群を無効とする一方、不一致信号は冗長アドレス行群を無効とし通常の1組の行群を活性化するという切り替えを制御する信号である。アドレス一致信号 $RREN0$ は、冗長機構起動信号PCを印加した後に、アドレス信号入力に回答して両フューズデコーダ0-0及び0-1が不一致と判断した場合（A点とB点が共に低レベル）は、高レベルから低レベルに論理状態を遷移し、何れか一方のフューズデコーダが一致信号を発生している場合は、論理状態の変化はない。従って、並列に接続されるFS0からFS7のアドレス一致信号は従来に比して速く確定し、通常のメモリと冗長メモリを早期に切り換えることができる。ここ示したフューズデコーダは2個で構成したが、これより多くのプログラム可能なフューズデコーダを使用することもできる。もっとも、フューズを溶断してプログラムする時間は、フューズのレーザの点的を走査する時間を除き、溶断する数に依存しないのでアドレス一致信号発生回路に多くのフューズデコーダを設けても不利とならない。なお、図9に示す回路によると、各フューズデコーダの面積は小さく、他のフューズデコーダの状態でアドレス一致信号を確定するのでタイミングが速くデバイス全体のアクセスを向上させることに寄与する。

【0022】行冗長回路の目的は、チップ全体を正常動作するように修理するために不良のワード線を他の正常なワード線に交換することである。64Mメモリの1象限内に16ブロックの512Kビットのアレイが存在する。これらの各ブロックが4本の物理的冗長ワード線を有している。4つの冗長行は全て512Kアレイのブロックのセンスアンプから最も離れた位置に配置されており、各冗長ワード線は同じブロック内の任意の不良行若しくは他のメモリブロックはもとより別のメモリ象限の不良行を交換することができる。冗長行に関連するBL若しくはBL_は行線を置換することにより交換可能な

行のタイプを制限するダミーワード線はないことに注意する必要がある。冗長度のプログラミングにおいて、1象限は各々8ブロックの2つの8分空間に分割される。8分空間でプログラムされる任意の冗長行に対して、他の8区分空間のイメージブロックへ類似の冗長度をプログラムすることができる。この回路の特徴として、2つの8分空間内でアレイブロックが動作しているDFT×32並列及びCOPY等の様々な特殊動作モードにおいて、冗長行を有する8分空間と冗長行を有しない8分空間を識別するのに複雑なデコーディング回路が必要である。これを回避するために、両8分空間を対象的にプログラムして余分なデコーディング回路やフュージを省略することができる。また、アクセス速度を向上させるために、RA11アドレス線をデコードしないことにより、冗長行のアクセス時間はRA11アドレス線をデコードする時間に比して高速となる。デバイスは64個の冗長デコーダRRDECを有する。チップ内で合計512本の論理ワード線を交換することができる。各論理冗長線は各メモリブロック内に2個ずつの一对の物理的行からなっている。しかしながら、各512Kメモリブロック内には4つの物理的冗長行しかなく、512Kメモリブロック内で交換できる最大行は4つに過ぎない。一方、全任意方式では、そのような制約はなく冗長行を含む象限の冗長行は他の象限の不良行と置換することができる。デバイス全体について合計512本のワード線を置換することができ、その位置については制限がない。例えば、アドレスバス206に接続されたインバータ群102の出力を受けるフュージデコーダは全ての象限に存在するメモリを置換することができると共に、不良メモリの内容がビット線に現れないように不良行線を有効な信号線から切離すことができるので、未使用の冗長メモリが存在する限り全象限で全ての修理を行うことができる。

【0023】図10は、RRA (ROW冗長アドレス) 回路を示す。この図9に示す冗長機構のフュージデコーダに対応する冗長デコーダの冗長アドレスを発生するためのものである。デバイス内には120個のRRA回路があり、各10個のRRA回路を12群に分割されている。行アドレスRA0/RA_0からRA9/RA_9はこれら各群の入力として使用される。各群は論理冗長行アドレスを表す。冗長度のプログラミングに対して、アドレス線を論理「1」としたい場合はフュージF1を溶断することにより冗長行アドレスをプログラムすることができる。一方、冗長行を使用しない時はF1は溶断せずそのまま残せばよい。動作サイクル中にこのフュージをプログラムすることにより、動作サイクル中の入力アドレスが冗長アドレスと一致するときのみRRA出力、RRUVAXが論理「0」とされる。入力アドレスが冗長アドレスと一致しなければ、RRUVAXは論理「1」出力を与えることとなる。従って、冗長回路は電

源投入時にRRDSPU入力パルス信号を高レベルに、パルスが冗長アドレスをラッチさせることで、例えば、A72H行としてプログラミングする。ここで1組の10個のRRA回路がプログラミングのためのアドレスRA0/RA_0からRA9/RA_9を使用することとなる。アドレスRA11及びRA10はここでは使用されないことに注意しなければならない。各象限内の8分空間の選定は必要でないためRA11は無視されるのでこの分チップを有効に使用することができる。RA10はRRDEC回路内でデコードされる。最後に節点RRUVPNがある。この節点はMP2及びMN2を有するインバータの電源線として作用する。これはフュージが溶断されていない場合に電源投入時にN1の電圧が低下し過ぎるのを防止するためのものである。この信号が発生するとMP1は主に制限器(リミッタ)として節点N1をプルアップすることが困難となる。レイアウトの制約により、2つのRRA回路が(W/2=20/0.8マイクロメートル)の大きさのトランジスタMP1を共有し、回路ではMP1の大きさは(W/1=10/0.8マイクロメートル)である。こうして、RRUVPNは2つのRRA回路間の共通接点に過ぎない。

【0024】図11は、RRDEC (ROW冗長デコーダ) を示す。この回路はRRA回路が発生する冗長度アドレスをデコードするのに用いられ一体として冗長機構を構成するので図9に示す冗長機構全体に対応するものである。1組の10個のRRA出力が「NOR」構造のデコーダの入力を形成する。10個のRRA出力は行アドレスRA0/RA_0からRA9/RA_9から発生する。この他にRA10及びRA_10も「NOR」入力として2個のフュージを介して接続されている。フュージは回路を付勢するスイッチとして作用する。少なくともこれらの1つを溶断して回路を励起しなければならない。プログラムされた冗長RA10を論理「1」とする場合に、入力RA10に接続されたフュージが溶断される。論理「0」にプログラムする場合は他方のフュージが溶断される。何れのフュージも溶断しない場合には、RRDECは任意の動作サイクル中に無効のままになっている。しかしながら、両フュージ共に溶断されているとデバイスはアドレスR10/R_10を無視して8分空間内の2つの行を同時に選択することができる。プリチャージ中にRRL2がトランジスタMP1をスイッチ「オン」にすることにより出力は高レベルにプリチャージされる。全入力行が無効理論とされ高電流が流れるのを回避することができる。動作サイクルにおいて、アドレスRA0/RA10がプログラムされた冗長度アドレスと一致する場合には、出力は高レベルに留まり冗長行の選定が検出されていることを知らせることができる。

1段「NOR」デコーダを使用する代表的な冗長度デコーディング回路とは異なり、これは2段デコーディングシステムを使用する。RRAはプリデコーダでありRR

13

DECは最終デコーディングに使用される。この回路は、従来の方法ではデコードに入る真及び補数のアドレスを有し、その各々がフューズを必要とするのに対して、チップ上に必要なフューズの数を低減することできる。またデコード節点N2の容量を低減してデコーディング時間を高速にできることである。デバイスの量産効率が向上する時点で、これら回路を図9に示す冗長機構と置き換えて使用すれば、冗長機構が必要とするチップ面積を減少することができる。但し、欠陥メモリセルの最大数が量産当初より少ないことが条件となる。すなわち、図9に示す冗長機構は、ビット不良の救済するための冗長度が高い。これに対して、図10と図11に示す冗長機構は冗長度は減少するがチップ面積を減少させる点で有利である。

【0025】図12は、RRX (ROW冗長Xファクタ) 回路を示す。DRAM内にはこれらの回路が8個設けられている。その各々が12個のRRDEC出力の中の3つのゲートを同時に各512Kブロック内の4つの冗長行の一つを並列に選択する。出力信号はRRQS、ROW冗長象限選択回路へ与えることができる。RRX E信号により3つの「NAND」ゲートが付勢される。ここで冗長度デコーディングが完了した場合、即ち非選
定RRUDV信号が低レベルとなった後でのみRRXE
信号の付勢を開始することが重要である。RRXE信
号が速く到来し過ぎると、RRXEの立上り縁と非選
定RRUVD信号の立下り縁の間の間隔より出力PROX
U、RR1XU若しくはRR2XUに高パルスが生じ
る。これらの出力の高パルスによりRRQSQ信号が放
出され、どの象限が冗長度を使用しているのか正確な決
定を行うことができない。RRXEゲートタイミングの
もう一つの重要な点は、動作サイクル後できるだけ速く
ゲーティングをスイッチオフする必要があることであ
る。これは「NOR」ゲートRRQSデコードを無効に
してプリチャージ時に高電流をなくすためである。

【0026】図13は、RRXE (ROW冗長Xファクタ評価) 回路を示す。上述のRRX回路と同様正しいタイ
ミングを達成するには、このRRXE回路が行冗長デ
コードの動作を妨げるように設計することである。こ
うすることにより、RRXE信号の適切なシーケンスによ
りRRX回路のゲートインが可能となる。RRXE回路
において、RA0及びRA_0はRRDEC内の冗長度
のアドレスを評価するのに使用される。回路をプリチャ
ージするのに使用される。PチャンネルトランジスタM
P1はRRCED回路のものよりもはるかに大きいもの
である。それはスイッチオフを遅くしてRRXEの開始
を遅延せしめ、更にインバータIV2により遅延が与え
られる。また、大きいトランジスタであるが故に節点N
2の高速プルアップが行われRRQS「NOR」ゲート
の入力が無効とされるので高電流が流れることが回避さ
れる。2つのバスゲートMN2及びMN3を使用してR

14

RA内のバスゲートを一致させることができる。RL1
_及びRL2信号を同時にゲートしてMP1のゲートに
プリチャージ信号を与えることにより、RL1_の立下
り縁によるプリチャージの早期スイッチオフ及びRL2
の立下り縁によるプリチャージの遅いターンオンが可能
となる。ゲートされたRL1_及びRL2信号は最後に
遅延RXE信号によりゲートされ冗長回路のプリチャ
ージ信号RRL2を発生することができる。このように
するのは、他の行冗長回路がプリチャージを行う前にR
RXE回路がプリチャージサイクルとなるようなインタ
ーロックを行うことである。従って、RXE回路のプリ
チャージにおいて、RRL2の活性化によるこれらの
デコードのプリチャージを開始する前に、様々なデコー
ダ入力を無効とすることができる。この結果、アクティ
ブ入力を有するデコードであってデコード入力とプリチャ
ージサイクルとの衝突は存在しない。もし、この衝突
が生じると、デコード内に高電流が引き出されることと
なる。ここで、2つのフューズを溶断したことにより、
デバイス全体に対する行冗長回路を無効とすることがで
きる点に注意しなければならない。

【0027】図14は、RRQS (ROW冗長象限選
択) 回路を示す。上述の回路は冗長として使用される行
アドレスをデコードして識別してきたが、RRQS、象
限選択は更にデコーディングを行って冗長行がどの象限
に属するか識別する。デバイスには4つのRRQS回路
があり、その各々がアレイの象限を選択する。RRQS
回路は12入力「NOR」ゲートとして設計されてい
る。この回路を設計する際、冗長アドレスが修理された
象限に属さない場合には、RRQSの対応するフューズ
が溶断される。その象限は修理された行に対してフュー
ズは溶断されない。このようにすることにより、冗長行
がアドレスされその象限に属する場合は、常に節点N2
が低レベルになり活性化出力RRQS信号、即ち、TL
RQ_及びRRQSQが生じる。冗長行がその象限に属
さないかアドレスされた冗長行でない場合は節点N2は
高レベルのままである。RRL2信号はプリチャージ中
にMP1をオンにしてN2を高レベルに充電するのに使用
される。インバータを有するMP2は選択されない場合
にプリチャージレベルを節点N2に保持するのに使用さ
れる。設計により冗長アドレスは任意数の活性化する象
限を選択することもできることに留意すべきである。こ
れは、修理された行を有する象限に関するRRQS回路
内の選定アドレスに対応するフューズを溶断しないこと
で実現される。RRQS回路のフューズは、溶断されると
プリデコーディングされたアドレスビット信号がトラ
ンジスタのゲートに印加されても節点N1の電位を放電
しない一方、フューズが溶断されず残っていると選択さ
れたトランジスタはこの節点N1を放電させることでイン
バータIV2の出力を高論理レベルとすることができ
る。ここで示したフューズデコード回路RRQSには共

15

通接点N1をプルアップするトランジスタMP2は節点N1の電位を維持するのに必要な小さなトランジスタで構成することができるが、一旦共通接点N1の電位が下ると再度RRL2信号によりプリチャージされない限り次のサイクルの冗長アドレスデコードができないことに注意しなければならない。

【0028】図15は、RXDEC（冗長Xワードデコード）回路を示す。冗長行の最終デコーディングとして使用するRXDEC回路は、ワード線ドライバから冗長行へ昇圧された電圧レベルが伝播される。RXDEC回路により各物理的冗長行が発生される。冗長度デコーディングは3入力「NAND」ゲートにより行われる。与えられた冗長アドレスによりRRQSQは象限を識別しRRXUは各256Kアレイブロック内の4つの冗長行の一つをデコードする。最後に正規の行デコーディングが行われると、ブロック信号BSSJK_Mは16個のアレイブロックの一つを選択して行冗長デコーディングを完了することができる。

【0029】図16は、RRDSP（ROW冗長デコードセット信号）回路を示す。この回路の目的は、RRA及びCRR回路にパルスが発生して電源投入時における冗長アドレスを発生することである。また、一連の連結されたインパタ及びコンデンサであって、これらのインパタの入出力段は「NAND」ゲートによりゲートされてパルスを与える。回路はRIDを入力として利用して電源投入時に励起される。ここで、全てのRRA回路に1パルスが発生するのではなく異なる時間に4つのパルスが120個のRRA回路によって発生させられる。従って、高ピーク電流の原因となる全RRA回路の同時励起が回避され、ノイズ等の問題は起こらない。この他、SW2A、SW2B、SW2C、SW2Dの金属マスクを変更することによりRRDSP1を有するRRDSP0及びRRDSP3を有するRRDSP2のパルス幅を各々結合することにより4組のパルスの代わりに2組のパルスを発生させることができる。パルス発生後、出力CRDSTが励起される。これによりCRDSP回路内で冗長アドレスラッチを行うパルス出力が開始される。

【0030】図17は、RRATST回路を示す。この回路の目的はRRDSPの発生するパルスがRRAアドレスをラッチするのに十分か否かを検査することである。これは内部プロービング（探針）のみ使用される。RRAで使用されるフューズがコンデンサMP1に置き換えられる点を除けばRRATSTはRRAと同じである。正規の入力を使用する代わりに、外部信号用のプローブパッドがRA_X上に置かれ、RAX入力については、接地される。もう1つのプローブパッドがRRDSPU信号に並列接続される。これにより交番信号がラッチングすることができる。コンデンサMN5は電源投入時に節点N2を低レベルにする。この回路はRRDSP

16

Uパルス幅がコンデンサMP1の節点N1を放電させるのに十分であるか否かを検査することができる。状態は節点N1及びN3においてプローブパッドから監視することができる。デバイス内でデータの感知手順の動作連鎖を行うセンスクロックは、任意の動作サイクル内で行アドレスデコーディングが完了毎に励起される。これには選択されたセンスアンプをオンにする様々なクロックの発生が伴う。個々のセンスクロック回路に入る前に、64Mメモリのセンスアンプ回路について調査する。先ず、象限は16ブロックの512Kメモリアレイに分割されている。8個のバンク構成のセンスアンプが1象限内に配置され、これらのセンスアンプは中央ボンドパッド列と並行して中央側からチップ辺側へ並べられる。チップの使用面積を最小限とするために、64MDRAMは共有のセンスアンプで設計されている。共有センスアンプ回路では、各センスアンプバンクは2つの512Kビットのメモリアレイブロックにより共有される。すなわち、1Mビットをセンスすることができる。従って、各象限の両端にはセンスアンプバンクを有しないことに注意しなければならない。各センスアンプバンクは256個のセンスアンプを具備し、従って各バンクはその両側のメモリアレイの256列を担当する。この回路において注意すべき点は同じセンスアンプが担当する2列は同じYアドレスを有せず、一方は奇数アドレス他方は偶数アドレスとなることである。従って、この切り替えはセンスアンプを垂直に横切るYS線の選択により行うことができる。

【0031】列冗長構成は、行冗長と同様、その目的は不良列を置換して完全動作が可能なチップを完成することにある。チップ内の、メモリアレイは8象限に分割される。各象限は、256列の16アレイブロックを有している。各アレイブロックは6本の冗長列を有する。これら冗長列はチップ中心に対向する側に設けることができる。冗長列は一对のビット線（BL及びBL_）及びセンスアンプからなる。冗長行を任意の不良行と置換できる行冗長度回路と異なり列冗長修理は不良列のデータ通路によって支配される。各アレイブロックは2つのセンスアンプバンクによりサポートされる。これらの各バンクが2つの異なるメイン（MAIN）I/O線に対して2つのローカル（LOCAL）I/Oデータ通路を有している。従って、修理に対しては同じメインI/O線を有する冗長列を使用する。

【0032】冗長列アレイはブロックアレイと同様な形態を有している。冗長センスアンプバンクは通常のセンスアンプバンクを継続したものである。これら各バンクには6個の冗長センスアンプを有している。また、センスアンプの最初の3個は偶数メインI/Oに接続されており、他の3個のセンスアンプは奇数のメインI/Oに接続されている。冗長修理に対して、最初にどのセンスアンプに不良の列が接続しているかを知る必要がある。

不良列及び不具合を含むセンスアンプが識別されると、それらはそのセンスアンプが同一のメインI/Oを有する冗長列と置換されることとなる。

【0033】冗長度プログラミングにおいて、アレイブロック内の各不良列に対して2つの隣接列を置換する必要がある。2列は共通の列アドレスCA11からCA1を有している。同時に、次の8分空間の同じアドレスの他の列が置換される。同時に2つの8分空間修理を行う理由は行冗長回路の場合と同様である。一時に2列の修理を行う他に、オプションとして同じ冗長デコーダを有する列CA11からCA2の隣接4列を置換することができる。また、いくつかの象限を同じ冗長デコーダで置換する全任意というオプションも考慮することができる。

【0034】いくつかの列を置換できるかということについては次のような制限がある。64個の冗長デコーダは、64論理列しか置換できないこと、アレイブロック当たり6個の物理的冗長列を有するが各修理は少なくとも2列を使用するので各アレイブロックには3つの冗長可能な場所しかない。また、バンク当たり6個の冗長センスアンプを有しその中の3個は偶数メインI/Oに接続され他の3個は奇数のメインI/Oに接続されるので、これにより同じメインI/Oで置換できるのは最大3に制限される。更に、異なるブロックからの同じアドレスの列に対する修理は、同じRA8からRA9アドレスを共有しない場合には独立した冗長デコーダを追加する必要がある。

【0035】以上においては、本発明を実施例に関して詳細に説明したが、この説明は単に例示的なものであり、限定的な意味のものとして解釈してはならない。更に、本発明の実施例の細部における多くの変更及び本発明の他の実施例は、この説明を参照した本技術分野に通常に習熟した者にとっては明かであり、且つ実現可能であることを理解すべきである。例えば、上述の本発明をDRAMに関して説明したが、それらは読取り専用メモリ(ROM)及びスタティックランダムアクセスメモリ(SRAM)を含めて任意のメモリに対する冗長構成としても使用され得る。また、1組の行又は列線は4本の態様で示したが8本でも良くその場合は、冗長度をより向上させることができる。更に、NチャンネルトランジスタはPチャンネルトランジスタに置換することもできることや、電界効果トランジスタをバイポーラトランジスタに置換することも同様である。なお、ここで電界効果トランジスタと称したものはMOSTランジスタであり得る。これら構成は、周知の半導体製造技術を用い、集積回路上に形成される。全てのこのような変更及び他の実施例は、特許請求の範囲に示されている本発明の真の範囲及び技術思想内にある。

【0036】

【発明の効果】本発明において開示される発明のうち代

表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0037】(1)半導体集積回路チップ内により多くの電気回路を登載することができる。

【0038】(2)サブマイクロン技術で製造される半導体集積回路で発生する欠陥メモリセルを特にビット不良を他のフューズ溶断によりプログラム可能な冗長メモリセルに置換することができる。

【0039】(3)高速に且つ誤動作のない全メモリ象限内の不具合メモリセル及び行線短絡不良を救済するためのメモリセル冗長機構を提供することができる。

【0040】(4)製造歩留まりを向上できる半導体集積回路装置を提供することができる。

【0041】

【図面の簡単な説明】

【図1】半導体メモリチップの平面図である。

【図2】図1のチップのボンドパッド配置図である。

【図3】半導体メモリ装置の出力ピン配置図である。

【図4】従来のアドレス一致回路である。

【図5】16MDRAMに使用することができるアドレス一致回路である。

【図6】64DRAMの欠陥メモリセルを補償するための冗長機構である。

【図7】欠陥メモリ数と冗長度を歩留率によって表した関連図である。

【図8】フューズデコーダとメモリブロックの接続関係を示した回路図である。

【図9】複数のフューズデコーダを有したアドレス一致検知回路である。

【図10】RRA(行冗長アドレス)発生器の回路図である。

【図11】RRDEC(行冗長デコーダ)の回路図である。

【図12】RRX(行冗長Xファクタ)発生器の回路図である。

【図13】RRXE(行冗長Xファクタ評価)の回路図である。

【図14】RRQS(行冗長象限選択)の回路図である。

【図15】RXDEC(冗長Xワードデコーダ)の回路図である。

【図16】RRDSP(行冗長デコーダセット信号)発生器の回路図である。

【図17】RRATSTの回路図である。

【符号の説明】

- 2 トランジスタ群
- 3 Pチャンネルトランジスタ
- 4、164 溶断フューズ
- 5、8、162 インバータ
- 6 インバータ群

19

- 7 「NAND」ゲート
 10 半導体チップ
 166、168、170、172 電界効果トランジスタ
 101 メモリブロック
 102 インパータ群
 103 フューズデコーダ
 104 冗長アドレス不一致信号発生装置
 105 冗長アドレス一致信号発生装置
 106 主メモリ行群選択回路
 107 行線選択回路
 108 メモリブロック選択回路
 111 主メモリブロック
 112 行線群選択選択回路
 113 行線選択回路
 202 欠陥メモリ
 204 冗長メモリ

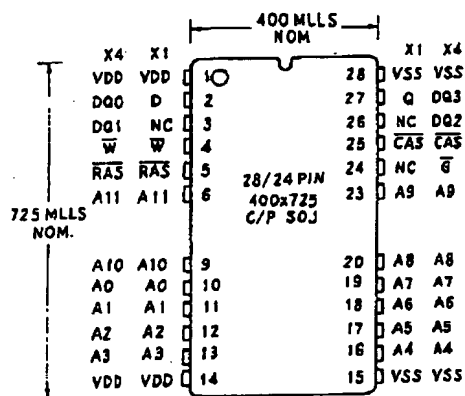
20

- 206 アドレスバス
 208 フューズデコーダ
 210 インパータ
 212 フューズ
 214、218、219、220、221、222、223 トランジスタ
 216 冗長機構起動トランジスタ
 224 アドレス一致検出「NAND」ゲート
 225 アドレス不一致検出「NOR」ゲート
 10 226 アドレス一致信号発生インパータ
 300 冗長付勢ライン
 302 冗長選択ライン
 304 メモリブロック
 306 冗長行
 308 プリデコーダ
 312 MS信号

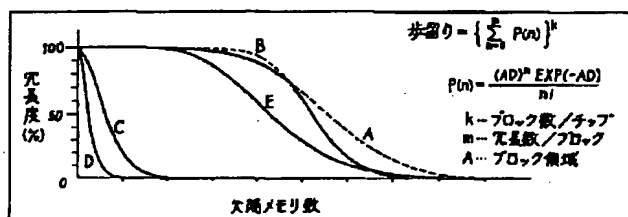
【表1】

型	冗長方式	歩留制限 (ブロック単位)	解読器数	冗長語線数
A	全任意	8語/4M (32解読器/32M)	64個	512本
B	全任意	8語/4M (32解読器/32M)	64個	512本
C	固定	2語/512K (2解読器/2M)	64個	512本
D	全任意	2語/2M (2解読器/16M)	8個	128本
E	半固定	4語/512K (12解読器/16M)	12個	128本

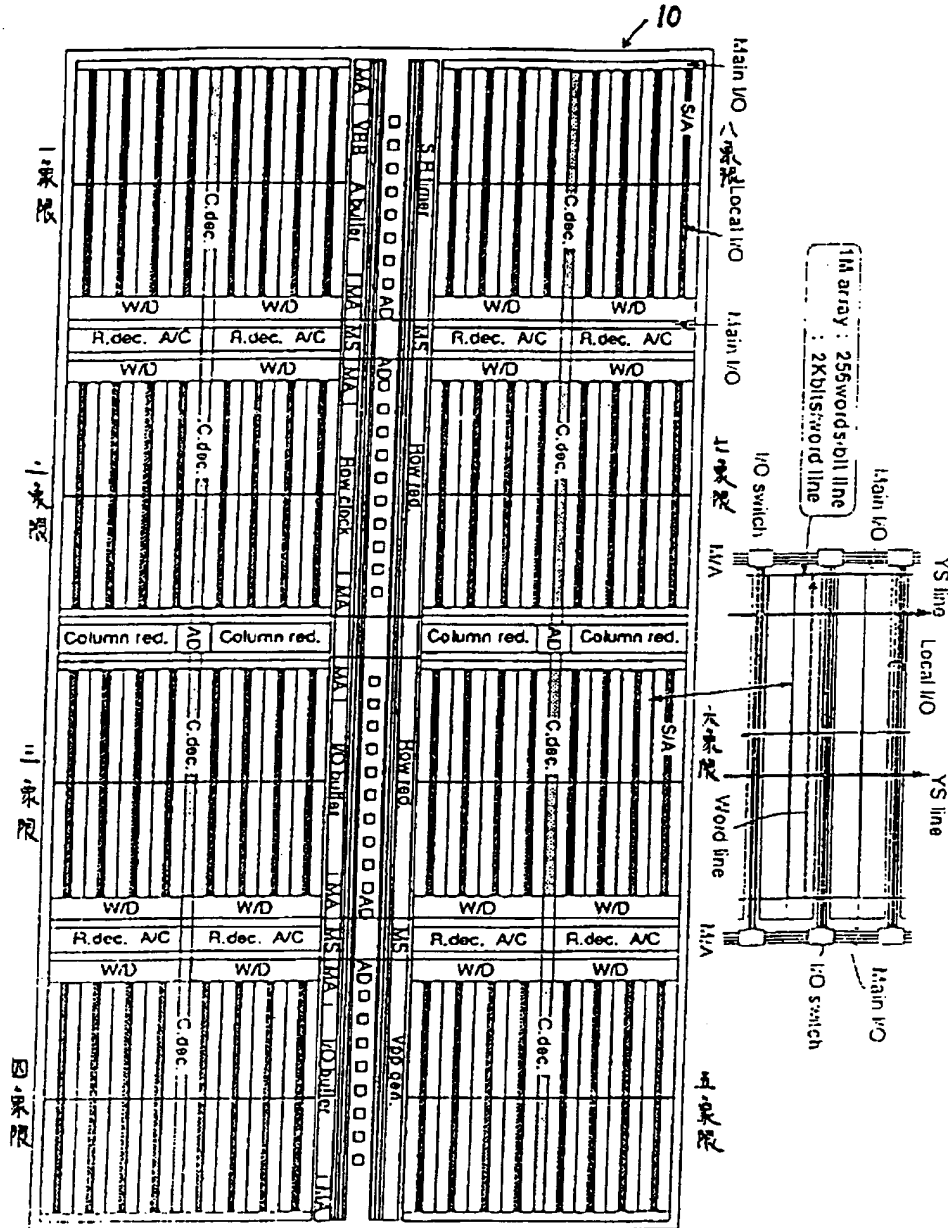
【図3】



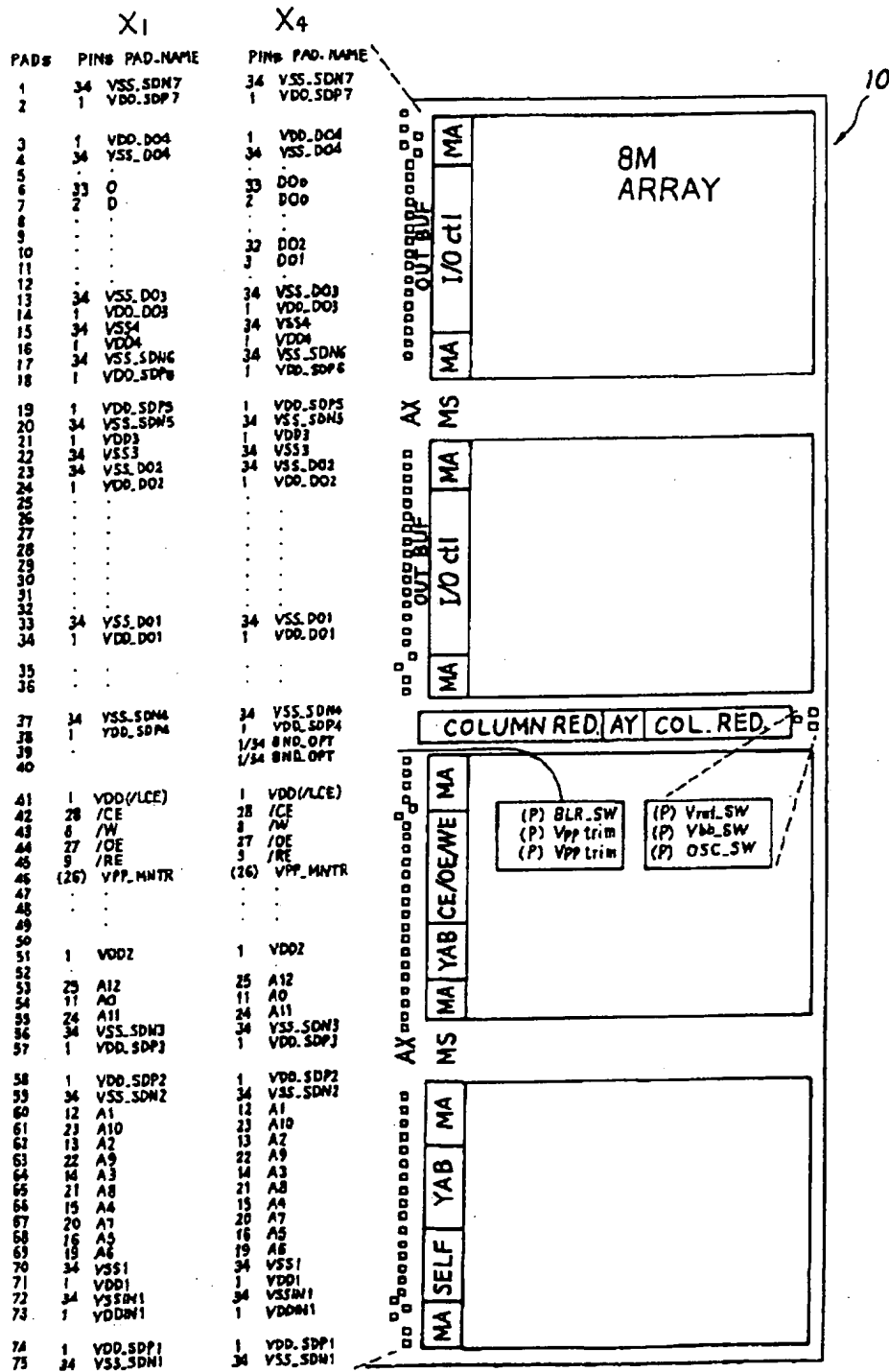
【図7】



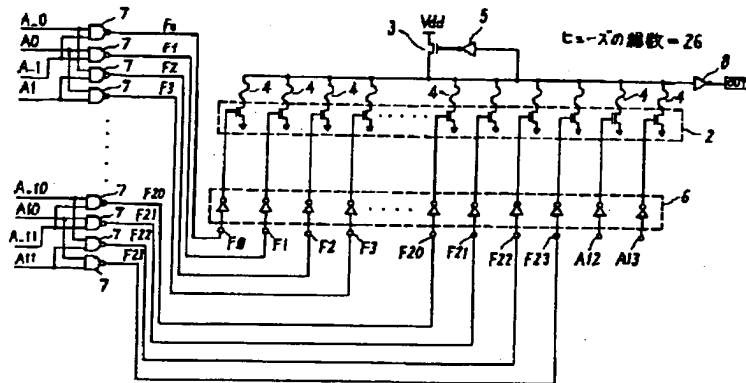
【図1】



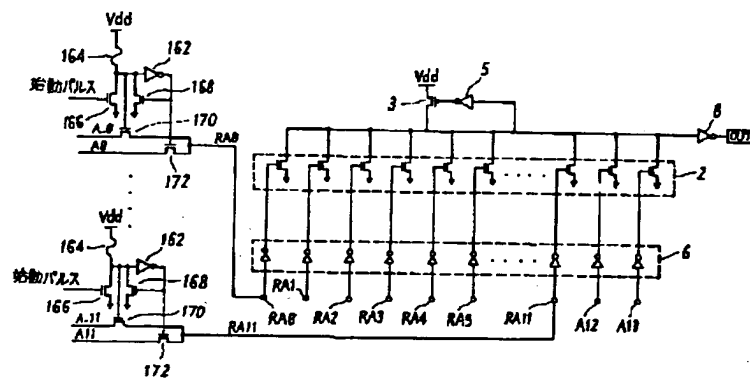
【図2】



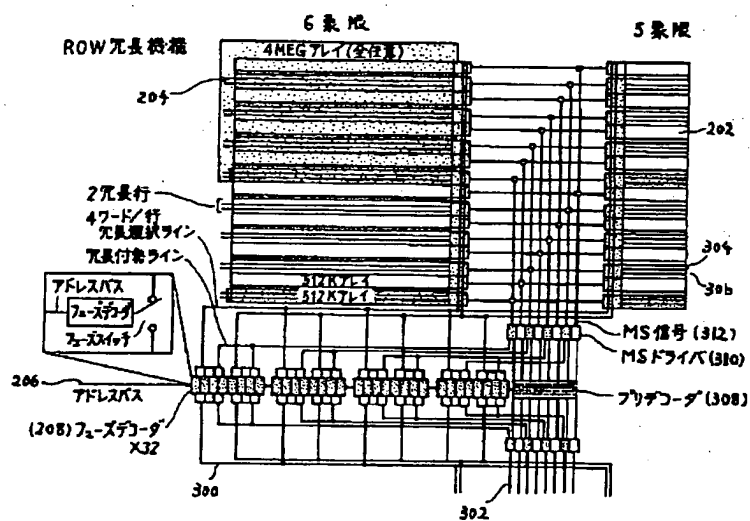
【図4】



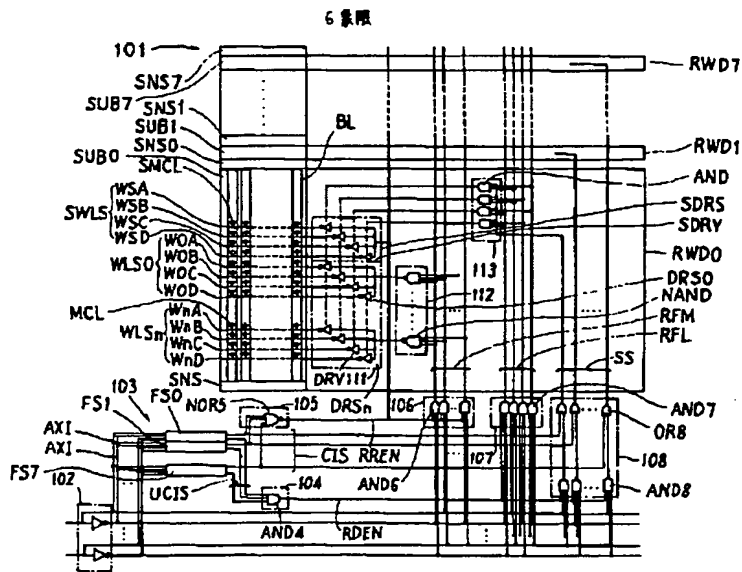
【図5】



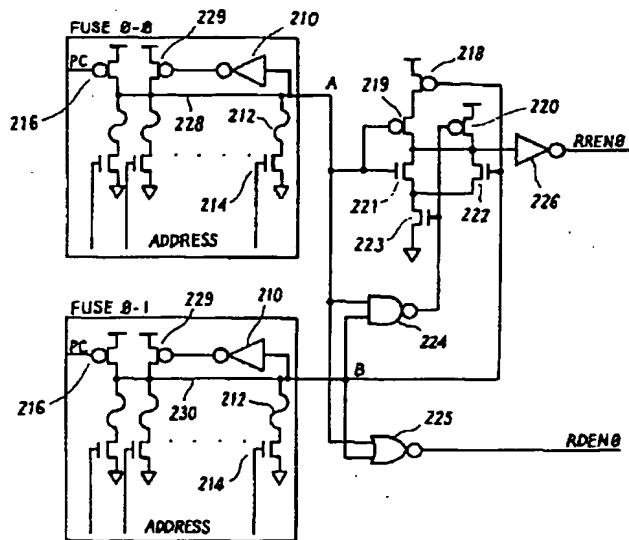
【図6】



【図8】

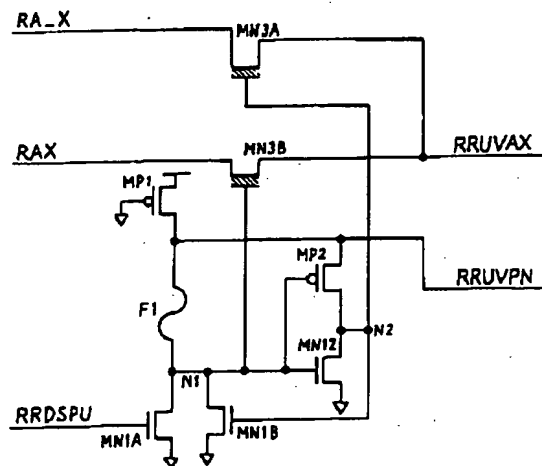


【図9】



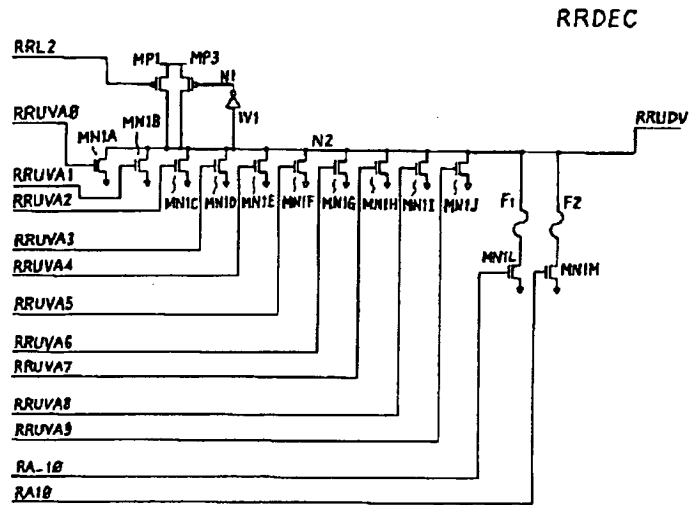
【図10】

RRA

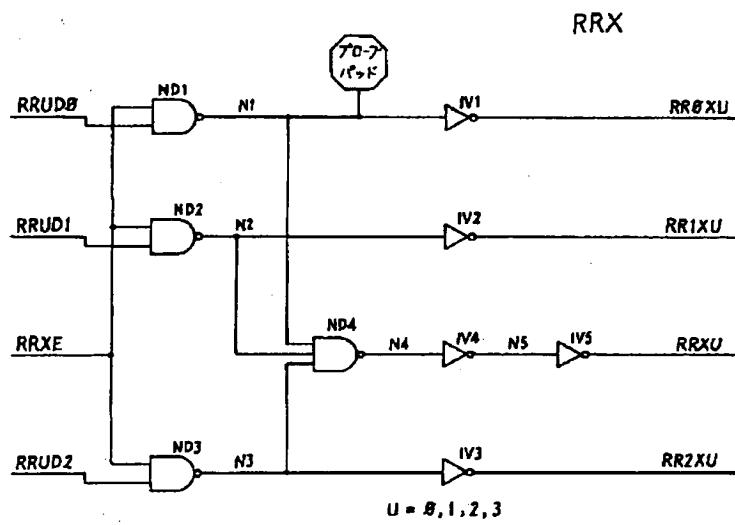


$X(\text{ROW ADDRESS}) = 0 \sim 9$
 $U(\text{RED. X FACT } 0) = 0 \sim 3$
 $V(\text{CR DECODER}) = 0 \sim 2$
 $N(\text{one for 2 RRA chks}) = 0 \sim 4$

【図11】



【図12】



15

通接点N1をプルアップするトランジスタMP2は節点N1の電位を維持するのに必要な小さなトランジスタで構成することができるが、一旦共通接点N1の電位が下ると再度RRL2信号によりプリチャージされない限り次のサイクルの冗長アドレスデコードができないことに注意しなければならない。

【0028】図15は、RXDEC（冗長Xワードデコード）回路を示す。冗長行の最終デコーディングとして使用するRXDEC回路は、ワード線ドライバから冗長行へ昇圧された電圧レベルが伝播される。RXDEC回路により各物理的冗長行が発生される。冗長度デコーディングは3入力「NAND」ゲートにより行われる。与えられた冗長アドレスによりRRQSQは象限を識別しRRXUは各256Kアレイブロック内の4つの冗長行の一つをデコードする。最後に正規の行デコーディングが行われると、ブロック信号BSSJK_Mは16個のアレイブロックの一つを選択して行冗長デコーディングを完了することができる。

【0029】図16は、RRDSP（ROW冗長デコードセット信号）回路を示す。この回路の目的は、RRA及びCRR回路にパルスが発生して電源投入時における冗長アドレスを発生することである。また、一連の連結されたインバータ及びコンデンサであって、これらのインバータの入出力段は「NAND」ゲートによりゲートされてパルスを与える。回路はRIDを入力として利用して電源投入時に励起される。ここで、全てのRRA回路に1パルスが発生するのではなく異なる時間に4つのパルスが120個のRRA回路によって発生させられる。従って、高ピーク電流の原因となる全RRA回路の同時励起が回避され、ノイズ等の問題は起こらない。この他、SW2A、SW2B、SW2C、SW2Dの金属マスクを変更することによりRRDSP1を有するRRDSP0及びRRDSP3を有するRRDSP2のパルス幅を各々結合することにより4組のパルスの代わりに2組のパルスを発生させることができる。パルス発生後、出力CRDSTが励起される。これによりCRDSP回路内で列冗長アドレスラッチを行うパルス出力が開始される。

【0030】図17は、RRATST回路を示す。この回路の目的はRRDSPの発生するパルスがRRAアドレスをラッチするのに十分か否かを検査することである。これは内部プロービング（探針）のみ使用される。RRAで使用されるフューズがコンデンサMP1に置き換えられる点を除けばRRATSTはRRAと同じである。正規の入力を使用する代わりに、外部信号用のプローブパッドがRA_X上に置かれ、RAX入力については、接地される。もう1つのプローブパッドがRRDSPU信号に並列接続される。これにより交番信号がラッチングすることができる。コンデンサMN5は電源投入時に節点N2を低レベルにする。この回路はRRDSP

16

UPパルス幅がコンデンサMP1の節点N1を放電させるのに十分であるか否かを検査することができる。状態は節点N1及びN3においてプローブパッドから監視することができる。デバイス内でデータの感知手順の動作連鎖を行うセンスクロックは、任意の動作サイクル内で行アドレスデコーディングが完了毎に励起される。これには選択されたセンスアンプをオンにする様々なクロックの発生が伴う。個々のセンスクロック回路に入る前に、64Mメモリのセンスアンプ回路について調査する。先ず、象限は16ブロックの512Kメモリアレイに分割されている。8個のバンク構成のセンスアンプが1象限内に配置され、これらのセンスアンプは中央ボンドパッド列と並行して中央側からチップ辺側へ並べられる。チップの使用面積を最小限とするために、64MDRAMは共有のセンスアンプで設計されている。共有センスアンプ回路では、各センスアンプバンクは2つの512Kビットのメモリアレイブロックにより共有される。すなわち、1Mビットをセンスすることができる。従って、各象限の両端にはセンスアンプバンクを有しないことに注意しなければならない。各センスアンプバンクは256個のセンスアンプを具備し、従って各バンクはその両側のメモリアレイの256列を担当する。この回路において注意すべき点は同じセンスアンプが担当する2列は同じYアドレスを有せず、一方は奇数アドレス他方は偶数アドレスとなることである。従って、この切り替えはセンスアンプを垂直に横切るYS線の選択により行うことができる。

【0031】列冗長構成は、行冗長と同様、その目的は不良列を置換して完全動作が可能なチップを完成することにある。チップ内の、メモリアレイは8象限に分割される。各象限は、256列の16アレイブロックを有している。各アレイブロックは6本の冗長列を有する。これら冗長列はチップ中心に対向する側に設けることができる。冗長列は一对のビット線（BL及びBL_—）及びセンスアンプからなる。冗長行を任意の不良行と置換できる行冗長度回路と異なり列冗長修理は不良列のデータ通路によって支配される。各アレイブロックは2つのセンスアンプバンクによりサポートされる。これらの各バンクが2つの異なるメイン（MAIN）I/O線に対して2つのローカル（LOCAL）I/Oデータ通路を有している。従って、修理に対しては同じメインI/O線を有する冗長列を使用する。

【0032】冗長列アレイはブロックアレイと同様な形態を有している。冗長センスアンプバンクは通常のセンスアンプバンクを継続したものである。これら各バンクには6個の冗長センスアンプを有している。また、センスアンプの最初の3個は偶数メインI/Oに接続されており、他の3個のセンスアンプは奇数のメインI/Oに接続されている。冗長修理に対して、最初にどのセンスアンプに不良の列が接続しているかを知る必要がある。

不良列及び不具合を含むセンスアンプが識別されると、それらはそのセンスアンプが同一のメインI/Oを有する冗長列と置換されることとなる。

【0033】冗長度プログラミングにおいて、アレイブロック内の各不良列に対して2つの隣接列を置換する必要がある。2列は共通の列アドレスCA11からCA1を有している。同時に、次の8分空間の同じアドレスの他の列が置換される。同時に2つの8分空間修理を行う理由は行冗長回路の場合と同様である。一時に2列の修理を行う他に、オプションとして同じ冗長デコーダを有する列CA11からCA2の隣接4列を置換することができる。また、いくつかの象限を同じ冗長デコーダで置換する全任意というオプションも考慮することができる。

【0034】いくつかの列を置換できるかということについては次のような制限がある。64個の冗長デコーダは、64論理列しか置換できないこと、アレイブロック当り6個の物理的冗長列を有するが各修理は少なくとも2列を使用するので各アレイブロックには3つの冗長可能な場所しかない。また、バンク当り6個の冗長センスアンプを有しその中の3個は偶数メインI/Oに接続され他の3個は奇数のメインI/Oに接続されるので、これにより同じメインI/Oで置換できるのは最大3に制限される。更に、異なるブロックからの同じアドレスの列に対する修理は、同じRA8からRA9アドレスを共有しない場合には独立した冗長デコーダを追加する必要がある。

【0035】以上においては、本発明を実施例に関して詳細に説明したが、この説明は単に例示的なものであり、限定的な意味のものとして解釈してはならない。更に、本発明の実施例の細部における多くの変更及び本発明の他の実施例は、この説明を参照した本技術分野に通常に習熟した者にとっては明かであり、且つ実現可能であることを理解すべきである。例えば、上述の本発明をDRAMに関して説明したが、それらは読取り専用メモリ(ROM)及びスタティックランダムアクセスメモリ(SRAM)を含めて任意のメモリに対する冗長構成としても使用され得る。また、1組の行又は列線は4本の態様で示したが8本でも良くその場合は、冗長度をより向上させることができる。更に、NチャンネルトランジスタはPチャンネルトランジスタに置換することもできることや、電界効果トランジスタをバイポーラトランジスタに置換することも同様である。なお、ここで電界効果トランジスタと称したものはMOSTランジスタであり得る。これら構成は、周知の半導体製造技術を用い、集積回路上に形成される。全てのこのような変更及び他の実施例は、特許請求の範囲に示されている本発明の真の範囲及び技術思想内にある。

【0036】

【発明の効果】本発明において開示される発明のうち代

表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0037】(1)半導体集積回路チップ内により多くの電気回路を登録することができる。

【0038】(2)サブマイクロン技術で製造される半導体集積回路で発生する欠陥メモリセルを特にビット不良を他のフューズ溶断によりプログラム可能な冗長メモリセルに置換することができる。

【0039】(3)高速に且つ誤動作のない全メモリ象限内の不具合メモリセル及び行線短絡不良を救済するためのメモリセル冗長機構を提供することができる。

【0040】(4)製造歩留まりを向上できる半導体集積回路装置を提供することができる。

【0041】

【図面の簡単な説明】

【図1】半導体メモリチップの平面図である。

【図2】図1のチップのボンドパッド配置図である。

【図3】半導体メモリ装置の出力ピン配置図である。

【図4】従来のアドレス一致回路である。

【図5】16MDRAMに使用することができるアドレス一致回路である。

【図6】64DRAMの欠陥メモリセルを補償するための冗長機構である。

【図7】欠陥メモリ数と冗長度を歩留率によって表した相関図である。

【図8】フューズデコーダとメモリブロックの接続関係を示した回路図である。

【図9】複数のフューズデコーダを有したアドレス一致検知回路である。

【図10】RRA(行冗長アドレス)発生器の回路図である。

【図11】RRDEC(行冗長デコーダ)の回路図である。

【図12】RRX(行冗長Xファクタ)発生器の回路図である。

【図13】RRXE(行冗長Xファクタ評価)の回路図である。

【図14】RRQS(行冗長象限選択)の回路図である。

【図15】RXDEC(冗長Xワードデコーダ)の回路図である。

【図16】RRDSP(行冗長デコーダセット信号)発生器の回路図である。

【図17】RRATSTの回路図である。

【符号の説明】

2 トランジスタ群

3 Pチャンネルトランジスタ

4、164 溶断フューズ

5、8、162 インバータ

6 インバータ群

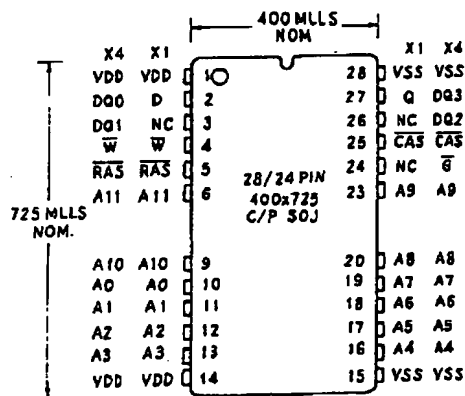
7 「NAND」ゲート
 10 半導体チップ
 166、168、170、172 電界効果トランジスタ
 101 メモリブロック
 102 インパータ群
 103 フューズデコーダ
 104 冗長アドレス不一致信号発生装置
 105 冗長アドレス一致信号発生装置
 106 主メモリ行群選択回路
 107 行線選択回路
 108 メモリブロック選択回路
 111 主メモリブロック
 112 行線群選択選択回路
 113 行線選択回路
 202 欠陥メモリ
 204 冗長メモリ

206 アドレスバス
 208 フューズデコーダ
 210 インパータ
 212 フューズ
 214、218、219、220、221、222、2
 23 トランジスタ
 216 冗長機構起動トランジスタ
 224 アドレス一致検出「NAND」ゲート
 225 アドレス不一致検出「NOR」ゲート
 10 226 アドレス一致信号発生インパータ
 300 冗長付勢ライン
 302 冗長選択ライン
 304 メモリブロック
 306 冗長行
 308 プリデコーダ
 312 MS信号

【表1】

型	冗長方式	歩留制限 (ブロック単位)	解読器数	冗長語線数
A	全任意	8語/4M (32解読器/32M)	64個	512本
B	全任意	8語/4M (32解読器/32M)	64個	512本
C	固定	2語/512K (2解読器/2M)	64個	512本
D	全任意	2語/2M (2解読器/16M)	8個	128本
E	半固定	4語/512K (12解読器/16M)	12個	128本

【図3】



【図7】

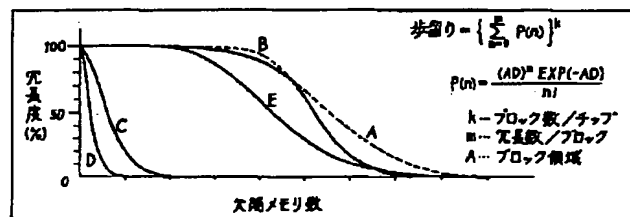
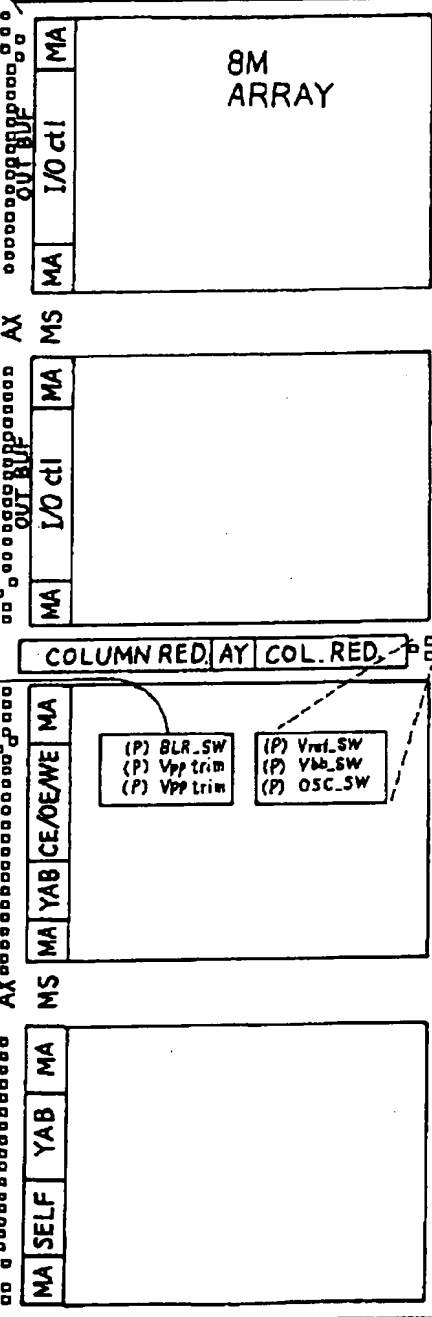
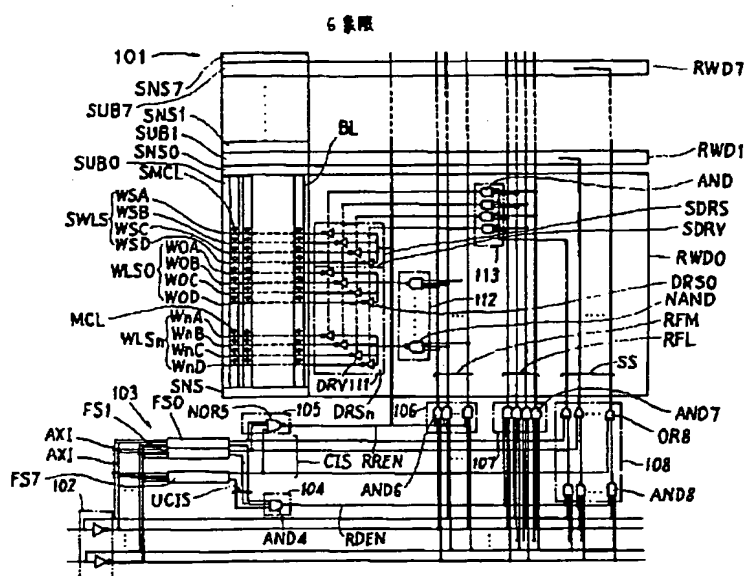


Figure 10 is a block diagram of the 1M array structure. The diagram shows a 1M array (25 words x 40 lines) divided into four 1/4 array sections. Each section contains a 1/4 array (25 words x 10 lines) and a 1/4 array (25 words x 10 lines). The array is organized into four quadrants, each with its own set of address and data lines. The address lines are labeled 'A' and the data lines are labeled 'D'. The array is connected to a 'Main I/O' bus and a 'Local I/O' bus. The 'Main I/O' bus is connected to the 'Main I/O' switch, and the 'Local I/O' bus is connected to the 'Local I/O' switch. The array is also connected to a 'Word line' and a 'Y0 line'.

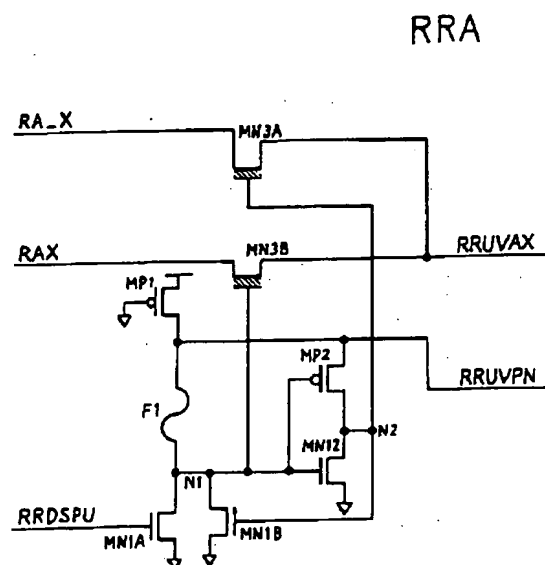
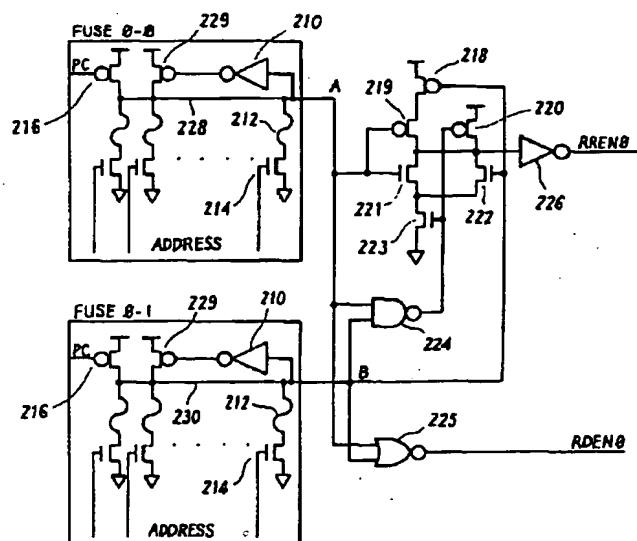
10



6 象限

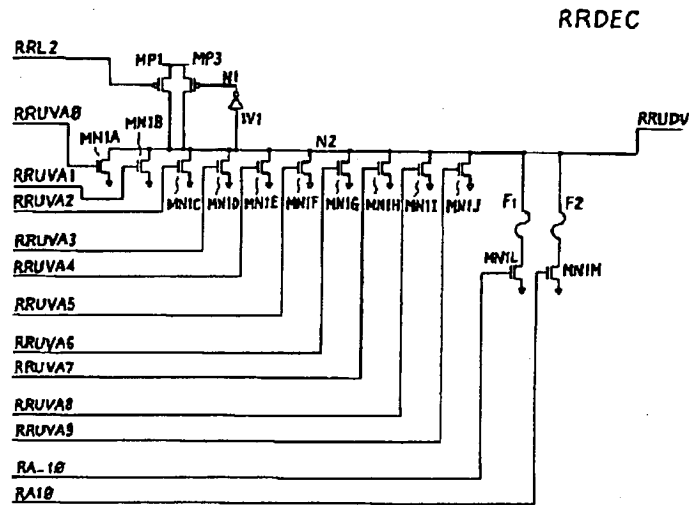


【图 10】

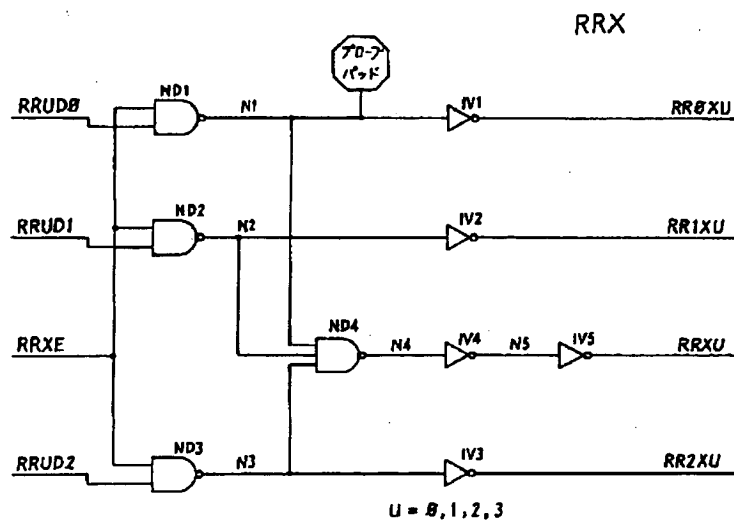


X (ROW ADDRESS) = 8-9
U (RED. X FACT #) = 8-3
V (CR DECODER) = 8-2
N (one for 2 RRA cks) = 8-4

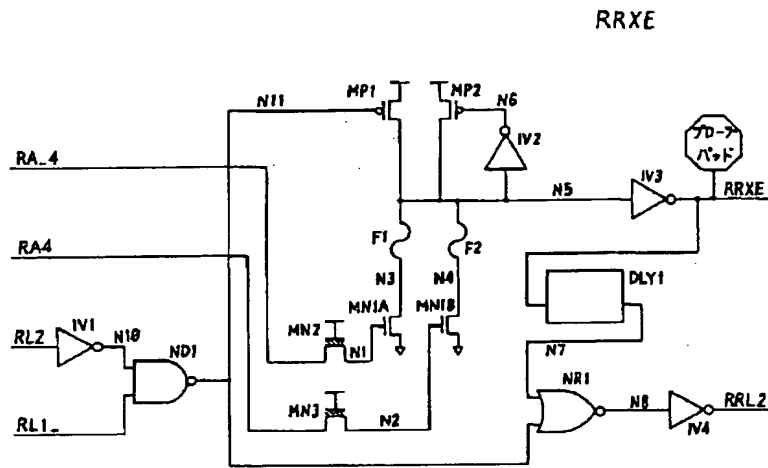
【図11】



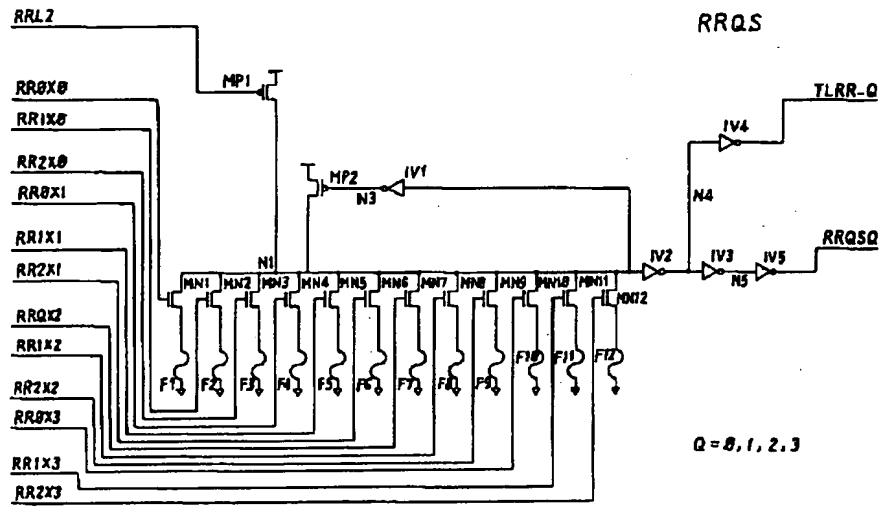
【図12】



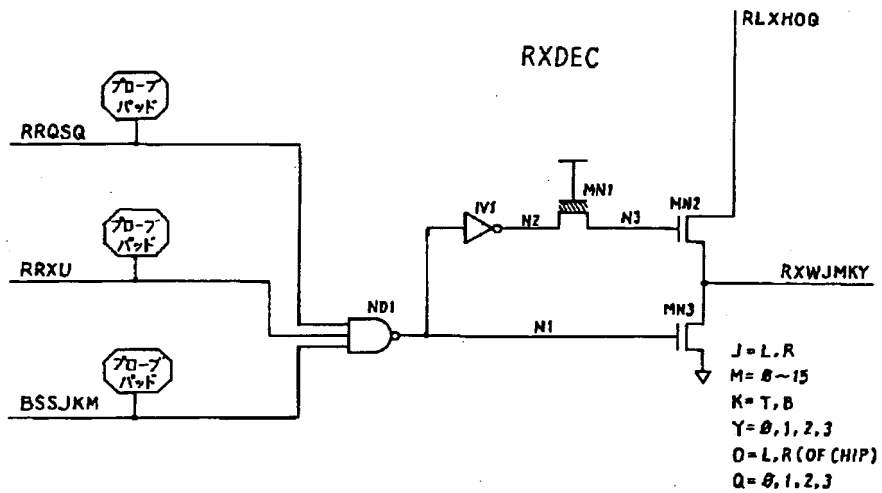
【図13】



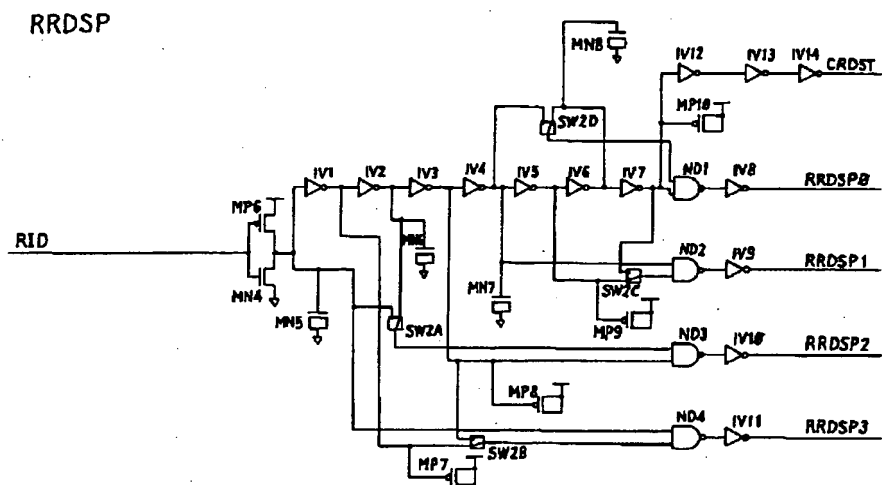
【図14】



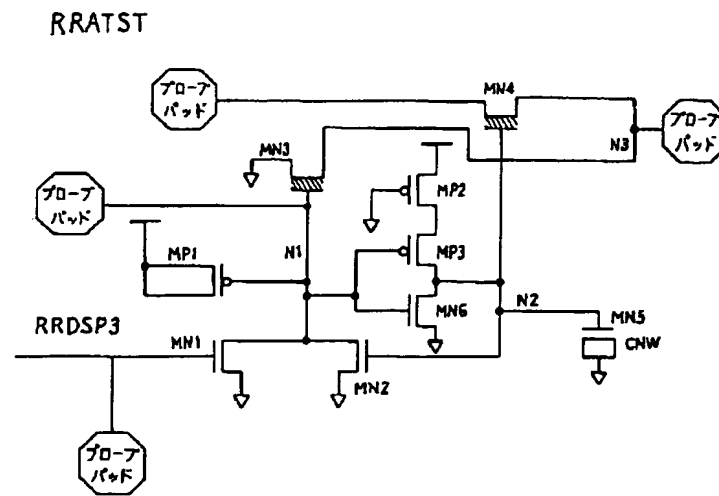
【图 15】



【图 16】



【図17】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

THIS PAGE BLANK (USPTO)